

(3) Japanese Patent Application Laid-Open No. 2000-101047:

**“CAPACITOR PROVIDED WITHIN SEMICONDUCTOR DEVICE OVER CARRIER AND METHOD OF MANUFACTURING THE SAME”**

The following is an extract relevant to the present application.

A supporting frame is composed of fin portions  $5_1$  separated from one another and a connecting portion 6. The connecting portion 6 connects the fin portions  $5_1$  mechanically together to a carrier top surface.

Fig. 6 illustrates a case where a capacitor is used in a DRAM circuit. A first electrode 7 provided on the supporting frames  $5_1$  and 6 constitutes a so-called memory node for a memory capacitor. The first electrode is connected to source/drain regions 11 through a contact 3 which is provided therebelow and on which a diffusion barrier 4 is provided. Another source/drain regions 12 of the selective transistor are connected to a bit line 15 formed to be buried through a bit line contact 14. Two adjacent memory cells advantageously have a common bit line contact. The bit line 15 and the bit line contact 14 formed in a trench surround an insulating layer 2. A channel region 16, a gate dielectric (not shown) and a gate electrode functioning as a word line 17 are provided between the source/drain regions 11 and 12 of the selective transistor. The word line 17 and the bit line contact 14 are made of doped polysilicon, respectively. The bit line 15 is made of doped polysilicon, and tungsten silicide is made from tungsten. On the opposite side to the bit line 15 of the source/drain region 11, an insulating structure which is a simple trench 18 filled with an insulating material for example, is provided for offering insulation between the adjacent selective transistors.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-101047

(P2000-101047A)

(43)公開日 平成12年4月7日(2000.4.7)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	ターコード	(参考)
H01L 27/108		H01L 27/10	621	A
21/8242		27/04		C
27/04		27/10	621	C
21/822			651	

審査請求 未請求 請求項の数14 O L (全8頁)

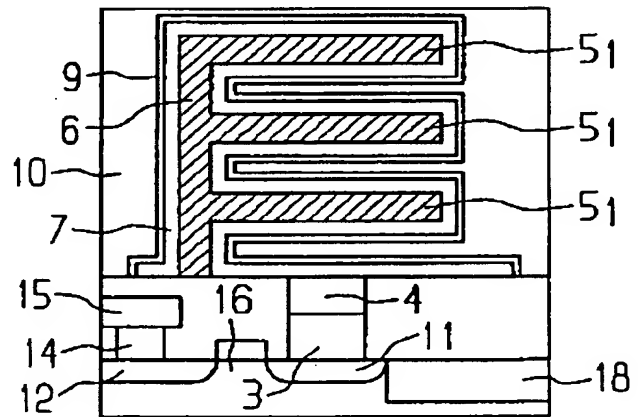
(21)出願番号	特願平11-262464	(71)出願人	390039413 シーメンス アクチエンゲゼルシャフト SIEMENS AKTIENGESELLSCHAFT ドイツ連邦共和国 D-80333 ミュンヘン ヴィッテルスバッハープラッツ 2
(22)出願日	平成11年9月16日(1999.9.16)	(72)発明者	ゲルリット ランゲ ドイツ連邦共和国 ミュンヘン マインドルシュトラッセ 1
(31)優先権主張番号	19842684.4	(72)発明者	ティル シュレッサー ドイツ連邦共和国 ミュンヘン フロームベルクシュトラッセ 40
(32)優先日	平成10年9月17日(1998.9.17)	(74)代理人	100061815 弁理士 矢野 敏雄 (外3名)
(33)優先権主張国	ドイツ (DE)		

(54)【発明の名称】担体上の半導体装置内に設けられるコンデンサ及び製造方法

(57)【要約】

【課題】 高 $\epsilon$ 誘電又は強誘電コンデンサ誘電体を有するコンデンサの所要スペースを更に一層低減すること、並びに、通常の製造過程とコンパチブルであるコンデンサを提供すること。

【解決手段】 貴金属含有のメモリ電極が、複数のフィン部を有して、担体と結合された支持フレーム上に高 $\epsilon$ 誘電材又は強誘電材製のコンデンサ誘電体がコンデンサに設けられている。支持フレームは、順次交互に低エッチング速度と高エッチング速度での層シーケンスの析出、層構造用のエッチング、連結部の形成、及び、高エッチング速度での層の選択的除去によって製造される。



## 【特許請求の範囲】

【請求項 1】 担体上の半導体装置内に設けられるコンデンサであって、

—貴金属含有の第 1 の電極 (7) と、

—高 $\epsilon$ 誘電材又は強誘電材製のコンデンサ誘電体 (9) と、

—第 2 の電極 (10) とを有しているコンデンサにおいて、第 1 の電極 (7) は、担体と結合された支持フレーム (5<sub>1</sub>, 6) の表面上に設けられており、前記支持フレームは、相互に離隔された少なくとも 2 つのフィン部 (5<sub>1</sub>) を有しており、該フィン部は、前記担体の表面に対してほぼ平行に設けられていて、連結部 (6) を介して前記担体 (1, 2) と機械的に結合されていることを特徴とするコンデンサ。

【請求項 2】 支持フレームは、ポリシリコン製である請求項 1 記載のコンデンサ。

【請求項 3】 支持フレームは、酸化シリコン製である請求項 1 記載のコンデンサ。

【請求項 4】 貴金属含有の第 1 の電極 (7) は、担体表面 (2, 4) の一部分である請求項 1～3 までのいずれか 1 記載のコンデンサ。

【請求項 5】 担体の、コンデンサ側の表面に、中にコンタクト (3) が設けられた絶縁層 (2) を有しており、前記コンタクト (3) は、拡散バリア (4) を有していて、第 1 の電極 (7) と接続されている請求項 1～4 までのいずれか 1 記載のコンデンサ。

【請求項 6】 担体は、MOS トランジスタを有しており、コンタクト (3) は、トランジスタのソース/ドレイン領域 (11) を第 1 の電極 (7) と接続する請求項 5 記載のコンデンサ。

【請求項 7】 請求項 1 記載のコンデンサの製造方法において、担体 (1, 2) の表面上に、支持フレームを形成し、該支持フレームは、相互に離隔された少なくとも 2 つのフィン部 (5<sub>1</sub>) を有しており、該フィン部は、担体の表面に対してほぼ平行に設けられていて、連結部 (6) を介して担体 (1, 2) と機械的に結合されるように形成し、

—担体及び支持フレーム (5<sub>1</sub>, 6) の露出している表面上に貴金属含有の第 1 の電極材をコンフォームに堆積し、

—前記貴金属含有の第 1 の電極材を構造化して第 1 の電極 (7) を形成し、

—高 $\epsilon$ 誘電材又は強誘電材製のコンデンサ誘電体 (9) を、前記第 1 の電極 (7) 上にコンフォームに堆積し、—第 2 の電極を前記コンデンサ誘電体上に形成したことを特徴とするコンデンサの製造方法。

【請求項 8】 請求項 7 記載のコンデンサの製造方法であって、

—担体 (1, 2) 上に支持フレームを形成するために、第 1 の材料製の層 (5<sub>1</sub>) と第 2 の材料製の層 (5<sub>2</sub>)

とからなる順次交互の層シーケンスを堆積し、

—前記層シーケンスをエッチングして、側縁を有する層構造体 (5) を構成し、

—前記層構造体 (5) の側縁を覆うように連結部 (6) を形成し、

—前記第 2 の材料製の層 (5<sub>2</sub>) を、選択的に前記第 1 の材料製の層 (5<sub>1</sub>) 及び前記連結部に対して離隔し、その結果、支持フレームを形成する請求項 7 記載のコンデンサの製造方法。

10 【請求項 9】 第 1 の材料製の層を p<sup>+</sup> ドーピングポリシリコンから形成し、第 2 の材料製の層を p<sup>-</sup> ドーピングポリシリコンから形成する請求項 8 記載のコンデンサの製造方法。

【請求項 10】 第 1 の材料製の層を絶縁材料から形成する請求項 8 記載のコンデンサの製造方法。

【請求項 11】 斜めインプラネーションによって、側縁内に層構造 (5) を形成する請求項 9 記載のコンデンサの製造方法。

【請求項 12】 連結部 (6) を、層構造 (5) の露出された側縁に選択的エピタキシャル又はコンフォームに析出を行い、続いて、異方性エッチングすることによって形成し、前記層構造内に開口部をエッチングし、前記開口部により、第 1 の材料製の層 (5<sub>1</sub>) の表面を露出させる請求項 8～10 までのいずれか 1 記載のコンデンサの製造方法。

【請求項 13】 第 1 の電極材料の堆積後、補助層 (8) をコンフォームに堆積し、前記補助層 (8) 及び第 1 の電極材料を、異方性に構造化して、第 1 の電極 (7) を形成し、残った前記補助層 (8) を前記第 1 の電極 (7) に対して選択的に除去する請求項 8～12 までのいずれか 1 記載のコンデンサの製造方法。

【請求項 14】 支持フレーム (5<sub>1</sub>, 6) の形成の前に、エッチストップ層 (20) を担体表面上に堆積する請求項 8～13 までのいずれか 1 記載のコンデンサの製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、担体上の半導体装置内に設けられるコンデンサであって、貴金属含有の第 1 の電極と、高 $\epsilon$ 誘電材又は強誘電材製のコンデンサ誘電体と、第 2 の電極とを有しているコンデンサに関する。

【0002】

【従来の技術】大多数の集積化半導体回路、例えば、DRAM 回路又は A/D 変換器では、コンデンサが必要である。その際、集積密度を高めることは、最優先課題であり、即ち、できる限り高く、又は、必要条件にとって十分なキャパシタンスを、最少必要スペースで実施する必要がある。この問題は、殊に、DRAM 回路で立てられ、つまり、DRAM 回路では、各メモリセルは、メモ

リコンデンサと選択トランジスタを有しており、その際、メモリセルに使用される面積は連続的に低減される。それと同時に、電荷を確実に蓄積して、読み出すべき情報の識別可能性を確実にするためには、メモリコンデンサの所定の最少キャパシタンスを保持する必要がある。この最少キャパシタンスは、現在、ほぼ 25 fF である。

【0003】コンデンサの所要スペースを低減するために、コンデンサ誘電体として、高い誘電率（高 $\epsilon$ 誘電体）のパラエレクトリック体（Paraelektrikum）を使用することができる。メモリ装置には、そのようなコンデンサが、有利には、所謂「スタック（stacked）」コンデンサ（セルのコンデンサは、所属の選択トランジスタの上側に設けられている）として使用されている。コンデンサ誘電体としてパラエレクトリック材を使用したメモリセルは、給電電圧の選択時に、その電荷を消失し、従って、その記憶された情報を消失してしまう。更に、このセルは、残留漏れ電流のために、定期的に新たに書き込まれてしまう（リフレッシュ時間）。それに対して、コンデンサ誘電体として強誘電材を使用することによって、強誘電体の種々異なる分極方向に基づいて、非揮発性メモリ（FRAM）を構成することができ、この非揮発性メモリ（FRAM）は、給電電圧の選択時に、その情報を消失せず、定期的に新たに書き込む必要もない。セルの残留漏れ電流によって、記憶された信号が影響されることはない。

【0004】種々異なる高誘電体及び強誘電体は、文献から公知であり、例えば、バリウムストロンチウムチタン酸塩（BST）、チタン酸ストロンチウム（ST）、又は、鉛-ジルコニウムチタン酸塩（BZT）、更に、強磁性及びパラエレクトリックポリマー等である。

【0005】これらの材料は、所望の電気特性を有しているけれども、その実際の意義は依然として限定されている。その本質的な原因は、前述の材料を即座に半導体装置に使用することができない点にある。これらの材料は、酸素含有雰囲気内に高温を必要とするスパッタリング又は堆積処理によって製造される。この結果、半導体技術で電極材として使用される導電材（例えば、ポリシリコン、アルミニウム、又は、タングステン）は不適切である。と言うのは、それらは、これらの条件下では酸化されてしまうからである。従って、少なくとも、第1の電極は、通常、貴金属含有金属、例えば、プラチナ又はルテニウムから製造されている。しかし、これら新たな電極材料は、半導体技術用には比較的未知の物質である。これら新たな電極材料は、堆積が困難であり、僅かな層厚の場合にしか十分に構造化することができない。更に、これら新たな電極材料は、酸素浸透性があり、その結果、コンデンサ誘電体の製造中、深層の構造部が酸化され、第1の電極と選択トランジスタとを十分

にコンタクトを形成することができなくなってしまう。従って、コンデンサ誘電体の下側に、酸素の拡散を抑制するバリアが必要である。

【0006】ドイツ連邦共和国特許公開第19640448号公報及び世界知的所有権機関特許公開第98/14992号公報には、その種のメモリセルが記載されており、このメモリセルでは、第1の電極と選択トランジスタへの端子構造との間にバリアが前面に窒化（Nitridation）によって形成される。ドイツ連邦共和国特許公開第19640244号公報及び世界知的所有権機関特許公開第98/15014号公報には、高 $\epsilon$ 誘電又は強誘電コンデンサ誘電体を有するコンデンサが記載されており、このコンデンサでは、第1の電極は、電極コアと、それに比して薄い貴金属含有層から構成されており、その際、電極コアは、端子構造又は酸化バリアの材料から形成されている。これは、単に1つの貴金属含有層を構造化しさえすればよいという利点がある。

【0007】これら、高 $\epsilon$ 誘電又は強誘電コンデンサ誘電体を有するコンデンサは全て、原理的には、第1の電極のプレーナ装置構成が設けられているという点で共通である。

【0008】米国特許明細書第5581436号公報には、前述の形式のコンデンサの第1の電極として、薄プラチナ層が電極コアの表面上に堆積されている。場合によっては、高 $\epsilon$ 誘電体を、第1及び第2の電極の形成の前に空き構造として製造することができ、即ち、電極は、この誘電体の側壁に形成される。

【0009】

【発明が解決しようとする課題】本発明の課題は、高 $\epsilon$ 誘電又は強誘電コンデンサ誘電体を有するコンデンサの所要スペースを更に一層低減すること、並びに、通常の製造過程とコンパチブルである、そのようなコンデンサの製造方法を提供することにある。

【0010】

【課題を解決するための手段】この課題は、本発明によると、第1の電極は、担体と結合された支持フレームの表面上に設けられており、支持フレームは、相互に離隔された少なくとも2つのフィン部を有しており、該フィン部は、担体の表面に対してほぼ平行に設けられていて、連結部を介して担体と機械的に結合されていることにより解決される。

【0011】この課題は、本発明によると、担体の表面上に、支持フレームを形成し、該支持フレームは、相互に離隔された少なくとも2つのフィン部を有しており、該フィン部は、担体の表面に対してほぼ平行に設けられていて、連結部を介して担体と機械的に結合されているように形成し、担体及び支持フレームの露出している表面上に貴金属含有の第1の電極材をコンフォームに堆積し、貴金属含有の第1の電極材を構造化して第1の電極を形成し、高 $\epsilon$ 誘電材又は強誘電材製のコンデンサ誘電

体を、第1の電極上にコンフォームに堆積し、第2の電極をコンデンサ誘電体上に形成したことにより解決される。

【0012】本発明は、コンデンサの貴金属含有の第1の電極用の支持フレームの使用に基づくものであり、この支持フレームは、その、担体表面への投射に比して実質的に拡大された表面を有している。支持フレームは、少なくとも2つの相互に離隔されたフィン部を有しており、これらフィン部は、担体表面に対してほぼ平行であって、結合部を介して担体と結合されている。貴金属製の第1の電極は、フィン部及び結合部の表面を被覆しており、その結果、キャパシタンスに作用する面積が増大する。コンデンサの第2の電極は、第1の電極から、高 $\epsilon$ 誘電体又は強誘電体によって離隔されている。

【0013】

【発明の実施の形態】本発明の特により利便な実施例は、従属請求項に記載されている。

【0014】支持フレームは、多数の種々異なる実施例で構成することができる。連結部は、有利には、フィン部を相互に結合し、フィン部の1つ又は複数の側面に設けることができるが、内側にフィン部を貫くように延在させてもよい。支持フレームは、原理的には、第1の電極として所謂「フィンスタック-コンデンサ」で公知の各形状を有するようにしてもよい。その種のフィンスタック-コンデンサは、例えば、ヨーロッパ特許公開第415530号公報、ヨーロッパ特許公開第779656号公報、ヨーロッパ特許公開第756326号公報、及び、未だ公開されていないドイツ連邦共和国特許第19821910.5号、及び、ドイツ連邦共和国特許第19821777.3号に記載されている。しかし、本発明の場合、そこに記載されている電極構造は、単に貴金属含有の第1の電極用の支持フレームとして使用されるに過ぎない。従って、支持フレームの材料用に比較的多くの選択があり、この支持フレームは、絶縁体からも形成することができ、連結部は、フィン部を電気的ではなく、単に機械的に担体と連結する。

【0015】担体は、第1の電極用の端子を有することができ、その際、残りの担体表面は、絶縁層で被覆されている。その際、貴金属含有の第1の電極は、担体表面の一部分を被覆し、この端子を被覆し、その結果、電気的なコンタクトを確実に行うことができる。

【0016】第1の電極用の材料として、殊にプラチナがあるが、酸化ルテニウム及び他の貴金属材料が適しており、これらは、高 $\epsilon$ 又は強誘電体コンデンサでの使用の際に公知である。第2の電極は、有利には、第1の電極と同じ材料製であるが、他の適切な材料製にしてもよく、例えば、他の金属又はドーピングされたポリシリコン製にしてもよい。

【0017】有利には、コンデンサは、DRAMセルで使用される。その際、担体は、所属のMOS選択トラン

ジスタを有している。トランジスタのソース/ドレイン領域は、既述の端子を介して第1の電極と接続されている。この端子は、有利には、その上側の領域内に、導電酸素バリアを有しており（例えば、チタンニトリド）、それ以外は、例えば、チタン、ポリシリコン、タングステン、等製である。

【0018】コンデンサの製造のために、担体上に先ず支持フレームが形成されている。支持フレーム上に、コンフォームに電極材料、例えば、プラチナ、イリジウム又は酸化ルテニウムがコンフォームに堆積されている。電極材料は、フォトリソ技術を用いて構造化されて第1の電極が形成されている。場合によっては、殊に、担体表面と電極構造の上縁との間の高さの差（感光性レジストの露光時に問題を生じることがある）を補償するために、フォトリソ技術に必要な感光性レジスト層の堆積の前に、補助層が担体上に堆積される。この場合には、感光性レジストマスクを用いて、この補助層と電極材料が構造化され、それから、補助層は、電極材料に対して選択的に除去される。第1の電極の構造化の後、高 $\epsilon$ 誘電体又は強誘電体が、公知の方法でコンフォームに堆積され、その際、対向電極が製造される。

【0019】本発明の方法の利点は、電極材料を強く異方性エッチングする必要はないという点にある。

【0020】支持フレームの製造のために、絶縁層と、その中に埋め込まれた端子を有することがある担体上に、それぞれ順次交互に第1の材料製の層と第2の材料製の層とを有している層シーケンスが形成されており、その際、第2の材料は、第1の材料に対して選択的にエッチング可能である。層シーケンスは、担体に至る迄構造化されており、その結果、側縁を有する層構造が形成される。連結部が少なくとも1つの側縁に形成され、そのために、殊に、斜めインプラネーション（注入）、それに続いてスペーサの形成のために異方性エッチング、又は、層構造の露出している表面上に選択的エピタキシャルを用いることができる。最後の両方法では、その際、層の表面を露出して、選択的エッチングを用いて、第2の材料製の層を除去することができるようにするために、層構造内の開口部がエッチングされる。

【0021】開口部は、層構造の縁に配設することができ、その結果、ここでは、連結部を構成する層及び場合によっては層構造の縁領域が除去される。

【0022】開口部は、他方では、層構造の内部に形成してもよい。そうすることによって、第2の材料のエッチングの際に、特に高い安定性を達成することができ、と言うのは、連結部は、支持フレームの外側に位置している側縁に設けられるからである。第1の材料製の層は、従って、薄く、例えば、20-30nmにすることができる。

【0023】担体と層シーケンスとの間に、エッチストップとして使用される補助層を堆積することができる。

層シーケンスの最も下側の層は、その際、有利には、第 1 の材料製の層である。層構造の形成のためのエッチングは、その際、2 つのエッチングステップで開口を形成するのと同様に行うことができ、その際、第 1 のエッチングステップは、補助層に対して選択的である。場合によっては、担体内に設けられるコンタクトホール乃至バリアは、この方法によって特に良好に保護される。この利点は、特に、支持フレームの内部での開口の場合にもたらされる。と言うのは、開口の製造の場合に、担体に至る迄、又は、担体の直ぐ上に位置している層に至る迄（何れの場合にも、使用されるエッチング処理に対して抵抗性がない）下方にエッチングする必要があるからであり、その際、担体表面の、この領域内に、有利には、コンタクトホールが設けられている。補助層なしには、バリアのエッチングの恐れがあり得る。更に、第 1 及び第 2 の材料の、補助層を有利に使用するかどうかの選択に、担体表面及びバリアは依存する。第 1 の材料が、担体表面の材料と同じである場合、補助層は、殊に、層構造の形成時の比較的確実なエッチストップを可能にする。補助層としては、例えば、酸化シリコン（特殊な T E O S ）又はニトリドが適している。

【0024】支持フレームの製造のために、上述の引用特許出願に記載された方法を使用することができる。既述のように、適切な材料の選択の際には、比較的大きな自由がある。と言うのは、形成すべき支持フレームの適切な幾何学的な形状だけが問題であるからである。つまり、エッチング処理の際にも、比較的大きな選択可能性がある。支持フレームとして用いるために、層シーケンス（第 1 乃至第 2 の材料）は、 $p^+$  ポリシリコン/ $p^-$  ポリシリコン、シリコン/ゲルマニウム、 $n$  ポリシリコン/ポリシリコン、酸化シリコン/シリコンニトリド、シリコンニトリド/酸化シリコン、酸化シリコン/（場合によってはドーピングされた）ポリシリコン及び他の組み合わせから形成することができ、第 1 の材料から、その際、フィン部が形成される。連結部は、第 2 の材料の事後の選択エッチングを困難にしないために、有利には、同様に第 1 の材料製である。支持フレームは、担体表面と同じ（絶縁された）材料製にするとよい。その結果、第 2 の材料製の層の選択的除去が特に簡単であり、乃至、第 2 の材料及び選択的エッチング処理に対して大きな選択の自由が得られる。何れにせよ、その際、補助層を使用しない場合には、層構造用のエッチングの際に担体に対する選択はない。ゲルマニウム含有層の場合には、製造方法及びエッチング方法が、ドイツ連邦共和国特許出願第 1 9 7 0 7 9 7 7 . 6 号公報に記載されている。

【0025】

【実施例】次に、本発明について、図示の有利な実施例を用いて詳述する。

【0026】図 1 では、基板 1 上に、絶縁層 2 が堆積さ

れている。基板 1 は、例えば、シリコン基板であり、ワード線とビット線とを有する選択トランジスタを有している（図 6）。絶縁層は、例えば、酸化シリコンから形成されて平坦化されている。絶縁層 2 内には、コンタクトホール 3 が開けられており、導電材、例えば、ドーピングされたポリシリコン、タングステン、タンタル、チタン、チタンニトリド、又は、タングステンシリチドで充填されている。コンタクトホール 3 は、それぞれ、基板 1 内の選択トランジスタのソース/ドレイン領域に達しているように設けられている。有利には、コンタクトホール 3 の上部分内に、バリア 4 が設けられており、このバリアは、酸素拡散を抑制する。そのようなバリアの製造方法は、例えば、ドイツ連邦共和国特許公開第 1 9 6 4 0 4 4 8 号公報又はドイツ連邦共和国特許公開第 1 9 6 4 0 2 4 6 号公報から公知である。この担体上には、支持フレームが形成されており、その際、先ず、択一選択的に、第 1 の材料製の層 5<sub>1</sub> と第 2 の材料製の層 5<sub>2</sub> とを有している層シーケンスが堆積されている。例えば第 1 の材料は、酸化シリコン製であり、第 2 の材料は、非ドーピング又はドーピングされたポリシリコン製である。更に、第 1 の材料を、 $p^+$  ドーピングポリシリコン製にすることができ、第 2 の材料を、 $p^-$  ドーピングポリシリコン製にすることができる。一般的に、第 1 の材料は、貴金属含有層用の適切な基体を形成する必要があり、第 2 の材料は、第 1 の材料及び担体表面（又は、場合によっては、補助層）並びに場合によってはバリア材料に対して選択的にエッチング可能にする必要がある。この実施例では、担体表面上に直接、第 2 の材料製の層が堆積されている。層シーケンスの最上層は、この実施例では、第 1 の材料製である。続いて、層シーケンス 5 からは、マスクを用いた異方性エッチングによって、層構造 5 が形成されている。これらの層構造の他では、絶縁層 2 の表面は露出されている。

【0027】図 2 では、層構造 5 の側壁には、有利には、第 1 の材料製のスペーサ 6 が形成されており、その際、層は、第 1 の材料からコンフォームに堆積されており、異方性バックエッチングされている。

【0028】図 3 では、それから、この構造内に開口がエッチングされており、この構造では、第 1 及び第 2 の材料製の層の側縁は露出されている。この実施例では、これらの開口は、構造の側面に設けられており、即ち、一方の側面に設けられたスペーサ、及び、層構造 5 の隣接する縁領域は、フォトマスクを用いた適切なエッチング処理で除去されている。しかし、開口は、他の個所に設けてもよく、実質的には、単に、第 2 の材料製の少なくとも 1 つの表面乃至層のそれぞれの側縁が露出されている。上述の引用特許出願では、本発明の形成の他の例が挙げられている。残り続けるスペーサ 6 は、連結部を構成する。第 2 の材料製の層 5<sub>2</sub> は、等方性の構成要素でのエッチング処理を用いて除去され、このエッチング処

理によって、第1の材料製の層、連結部6、担体表面2及びバリア4は、作用されない。適切なエッチング処理は、当業者には公知であり、例えば、引用した特許出願に記載されている。このようにして、支持フレームが形成され、この支持フレームは、相互に離隔されたフィン部5<sub>1</sub>及び連結部6から構成されている。連結部6は、フィン部5<sub>1</sub>を機械的に相互に一緒に、且つ、担体上面と連結する。

【0029】図4では、支持フレーム5<sub>1</sub>、6上に、貴金属含有電極材料としてプラチナ7がコンフォームに堆積されている。そのための適切な方法（例えば、MOCVD）は、上述の米国特許明細書から公知である。その際、補助層8はコンフォームに堆積されており、その結果、既存の構造は、それで充填され、表面は部分的に平坦化されている。補助層は、第1の電極の材料に対して選択的にエッチング可能であり、例えば、TEOS又はニトリド製である。

【0030】図5では、適切な感光性レジストマスク（図示していない）が堆積されており、補助層及び電極層7は、異方性エッチングされている。その際、電極層7は、第1の電極の大きさに相応してエッチングされている。続いて、補助層8は、例えば、電極材料に対してウェット選択的に除去されている。第1の電極7は、担体表面の一部分及び例えば端子3、4も被覆している。そうすることによって、端子と第1の電極との電気コンタクトが形成される。

【0031】図6では、高ε誘電体又は強誘電体製のコンデンサ誘電体は、公知の方法で堆積されている。その際、使用される高温処理により、深い位置の構造は、酸化されない。というのは、酸化拡散は、バリア4によって回避されるからである。最後に、導電層が対向電極10の形成のために堆積されている。

【0032】この図6では、担体内に構成される別の構造が図示されており、この構造は、コンデンサをDRAM回路内に使用する場合に設けられる。支持フレーム5<sub>1</sub>、6上に設けられる第1の電極7は、メモリコンデンサ用の所謂メモリノードを構成する。この第1の電極は、その下側に設けられていて、拡散バリア4が設けられたコンタクト3を介して、選択トランジスタのソース／ドレイン領域11と接続されている。選択トランジスタの他のソース／ドレイン領域12は、ビット線コンタクト14を介して、埋込形成されたビット線15と接続されている。有利には、2つの隣接するメモリセルは、共通のビット線コンタクトを有している。溝形成されたビット線15とビット線コンタクト14は、絶縁層2を囲んでいる。選択トランジスタのソース／ドレイン領域11及び12の間には、チャネル領域16、ゲート誘電体（図示していない）及びワード線17として作用するゲート電極が設けられている。ワード線17及びビット線コンタクト14は、それぞれ、ドーピングされたポリ

シリコンから形成されている。ビット線15は、ドーピングされたポリシリコン、タングステンシリチドはタングステンから形成されている。ソース／ドレイン領域11の、ビット線15とは反対側には、それぞれ1つの絶縁構造、例えば、絶縁材で充填された簡単な溝18が、隣接した選択トランジスタ間の絶縁のために設けられている。

【0033】別の実施例では、支持フレーム、即ち、フィン部5<sub>1</sub>及び連結部6は、pドーピングポリシリコン製である。層シーケンス（図1参照）は、その際、有利には、pドーピングシリコン5<sub>2</sub>及びp<sup>+</sup>ドーピングシリコン5<sub>1</sub>製にするとよい。その際、下側の層は、p<sup>-</sup>ドーピングポリシリコン5<sub>2</sub>である。連結部（図2参照）は、第1の実施例同様にスペーサとして形成することができるが、ヨーロッパ特許公開第779656号公報に記載されているように、選択的エピタキシャルによって形成することもできる。その際、図1の層シーケンスの最上層は、有利には、p<sup>-</sup>ドーピングポリシリコン層5<sub>2</sub>である。別の手段としては、連結部の形成を、図1の層構造5の側壁内に斜めインプラネーションすることによって行う。その際、この縁領域はドーピングされており、対向する縁領域は、そのドーピングが変化しないようにされている。その種の方法は、ヨーロッパ特許公開第756326号公報に記載されている。この場合、層構造5内に別の開口部をエッチングする必要はない。と言うのは、対向する縁部に、第2の材料製の層の側縁が露出されているからである。連結部6の形成後、第2の材料5<sub>2</sub>製の層、つまり、p<sup>-</sup>ドーピングシリコン層は、p<sup>+</sup>ドーピングポリシリコン5<sub>1</sub>、6、担体及びバリアに対して選択的に除去される。適切なエッチング方法は、当業者には公知であり、例えば、上述の引用特許出願に記載されている。適切なエッチング方法によって、支持フレームが製造され、この別の方法は、第1の実施例と同様に実行することができる。コンデンサ誘電体の形成のための高温処理の間、支持フレーム5<sub>1</sub>、6の酸化を考慮する必要がある。しかし、このことは有害ではない。と言うのは、第1の電極と端子構造3、4との間の電気コンタクトは、直接行われ（図6参照）、支持フレームの導電度は何ら作用しないからである。

【0034】図7-12には、別の実施例が図示されている。

【0035】図7では、基板1上に、絶縁層2が堆積されている。基板1は、例えば、シリコン基板であり、選択トランジスタには、ワード線とビット線が設けられている（図6参照）。絶縁層は、例えば、酸化シリコンから形成且つ平坦化されている。絶縁層2内には、コンタクトホール3が開けられており、導電材、例えば、ドーピングされたポリシリコン、タングステン、タンタル、チタンニトリド又はタングステンシリチドで充填されている。コンタクトホール3は、それぞれ基板1内の選択



トランジスタのソース／ドレイン領域上に達するように設けられている。有利には、コンタクトホール3の上側部分内に、酸素拡散を抑制するバリア4が設けられている。そのようなバリアの製造方法は、例えば、ドイツ連邦共和国特許公開第19640246号公報、ドイツ連邦共和国特許公開第19640448号公報から公知である。この担体上に、支持フレームが形成され、その際、先ず、エッチストップ層20が堆積され、その上に層シーケンスが堆積され、この層シーケンスは、順次交互に第1の材料製の層5<sub>1</sub>と第2の材料製の層5<sub>2</sub>を有している。この例では、第1の材料は、p<sup>+</sup>ドーピングポリシリコンであり、第2の材料は、p<sup>-</sup>ドーピングポリシリコンであり、エッチストップ層は、TEOS又はニトリドである。層シーケンスの最下の層は、第1の材料製であり、層シーケンスの最も上の層は、第2の材料製である。

【0036】図8では、続いて、層シーケンスから、マスクを用いた異方性エッチングによって、層構造5が形成され、その際、場合によっては、第2のエッチングステップで、エッチストップ層20がエッチングされる。層構造の他に、絶縁された層2の表面が露出されている。異方性エッチングは、CF<sub>4</sub>及びSF<sub>6</sub>で行うことができる。

【0037】図9では、p<sup>+</sup>ドーピングポリシリコン及びp<sup>-</sup>ドーピングポリシリコン製の層構造5は、シリコンの選択的なエピタキシャルを用いて成長され、その結果、連結部6が形成され、この連結部は、層構造を完全に被覆している。エピタキシャルは、700℃～750℃の温度範囲内でプロセスガスSiCl<sub>4</sub>、H<sub>2</sub>、HCl及びH<sub>2</sub>並びにB<sub>2</sub>H<sub>6</sub>のようなドーピングガスを用いて行うことができ、その結果、各層が相互に入り組んで拡散するのを回避することができる。シリコン及びゲルマニウム含有層の層シーケンスの場合、900℃迄もの温度となることがある。

【0038】図10では、それから、フォトリソマスクを使用して、開口が、この構造内にエッチングされ、この構造では、第1及び第2の材料製の層の側縁が露出されている。この実施例では、この開口は、構造の内部内に形成されている。第1の異方性エッチングステップ内で、例えば、HBr及び塩素が、層シーケンスをエッチングし、その際、等方性構成要素での第2のエッチング段階では、端子3、4を被覆するエッチストップ層が選択的に除去される。

【0039】図11では、第2の材料製の層5<sub>2</sub>は、等方性構成要素でのエッチング処理で除去され、このエッチング処理では、第1の材料製の層と連結部6は、作用を及ぼされない（場合によっては、エッチストップ層の除去の前又は除去と同時）。そのために、アルカリエッチングを使用することができ、このアルカリエッチングは、エチレンジアミン、ブレングカテチン、ピラチン及

び水を有している。選択性（エッチング速度P<sup>+</sup>-Si/P<sup>-</sup>-Si）は、ほぼ1:500である。このようにして、支持フレームは形成され、この支持フレームは、相互に間隔をおいたフィン部5<sub>1</sub>及び連結部6から構成されている。連結部6は、フィン部5<sub>1</sub>を支持フレームの全ての外部で機械的に相互に結合し、且つ、担体表面と結合する。

【0040】図12では、支持フレーム5<sub>1</sub>、6は、コンフォームに貴金属含有電極材としてプラチナが堆積されている。支持フレームの内部の開口の領域内に、端子3、4が形成されており、その結果、ここでは、電極層7とのコンタクトが確実に行われている。コンフォームなプラチナ堆積用の適切な方法は、上述の米国特許明細書から公知である。続いて、第1の実施例と同様の方法が続けられ、つまり、場合によっては、補助層8がコンフォームに堆積され（図4以下参照）、第1の電極が構造化される、等である。

【0041】要するに、本発明では、コンデンサには、高ε誘電材又は強誘電材製のコンデンサ誘電体9が設けられており、この誘電体の貴金属含有のメモリ電極は、複数のフィン部5<sub>1</sub>を有していて、担体と結合された支持フレーム上に設けられている。この支持フレームは、例えば、順次交互に低エッチング速度と高エッチング速度での層シーケンスの析出、層構造用のエッチング、連結部の形成、及び、高エッチング速度での層の選択的除去によって製造することができる。

【0042】

【発明の効果】本発明によると、高ε誘電又は強誘電コンデンサ誘電体を有するコンデンサの所要スペースを更に一層低減することができ、通常の製造過程とコンパチブルであり、電極材料を強く異方性エッチングする必要はないという利点が達成される。

【図面の簡単な説明】

【図1】方法の第1の実施例が、DRAMメモリセルを用いて明らかに示された基板の横断面を示す図である。

【図2】方法の第1の実施例が、DRAMメモリセルを用いて明らかに示された基板の横断面を示す図である。

【図3】方法の第1の実施例が、DRAMメモリセルを用いて明らかに示された基板の横断面を示す図である。

【図4】方法の第1の実施例が、DRAMメモリセルを用いて明らかに示された基板の横断面を示す図である。

【図5】方法の第1の実施例が、DRAMメモリセルを用いて明らかに示された基板の横断面を示す図である。

【図6】方法の第1の実施例が、DRAMメモリセルを用いて明らかに示された基板の横断面を示す図である。

【図7】相応に、第2の実施例を示す図である。

【図8】相応に、第2の実施例を示す図である。

【図9】相応に、第2の実施例を示す図である。

【図10】相応に、第2の実施例を示す図である。

【図11】相応に、第2の実施例を示す図である。



【図 12】 相応に、第 2 の実施例を示す図である。

【符号の説明】

- 1 基板
- 2 絶縁層
- 3 コンタクトホール
- 4 端子構造
- 5 層シーケンス

- 5<sub>1</sub> 第 1 の材料製の層 (フィン部 (p+ドーピングシリコン))
- 5<sub>2</sub> 第 2 の材料製の層 (p ドーピングシリコン)
- 6 連結部 (第 1 の材料製のスペーサ)

7 電極層 (プラチナ)

8 補助層

10 対向電極

11 選択トランジスタのソース/ドレイン領域

12 選択トランジスタの他のソース/ドレイン領域

14 ビット線コンタクト

15 埋込形成されたビット線

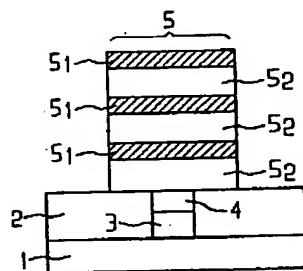
16 チャンネル領域

17 ワード線

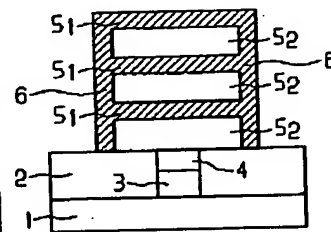
10 18 溝

20 エッチストップ層

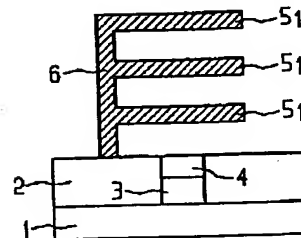
【図 1】



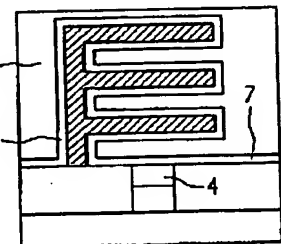
【図 2】



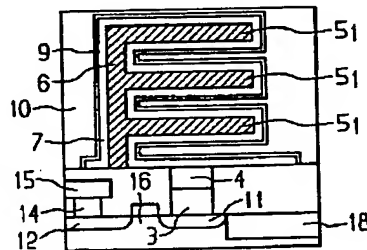
【図 3】



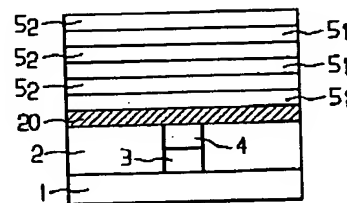
【図 4】



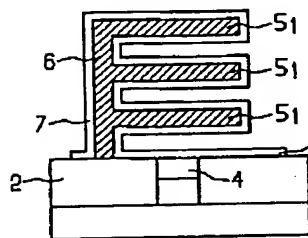
【図 6】



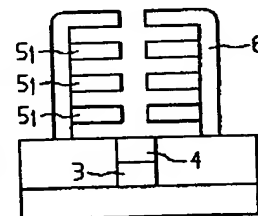
【図 7】



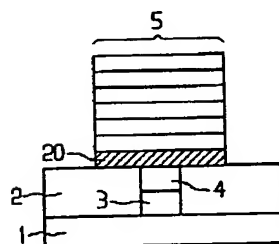
【図 5】



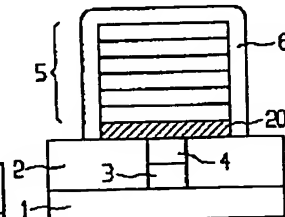
【図 11】



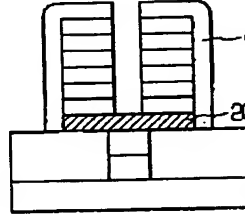
【図 8】



【図 9】



【図 10】



【図 12】

